

Electrónica Digital – Parcial

Fecha: 01/11/2007

1. Implemente un demultiplexor de 4 salidas de 1 bit, usando compuertas básicas. Luego implemente un demultiplexor de 4 entradas usando solo el demultiplexor anterior y buffer triestado.
2. Implemente un divisor de frecuencia que genere un pulso simétrico (que esté la mitad del tiempo alto y la mitad bajo) cuyo período sea 8 veces el clock.
3. Biestables:
 - a) Haga un FFJK usando FFD
 - b) Haga un FFJK usando FFT
 - c) Haga un latch SR con reset y preset asincrónico (usar compuertas nor)
 - d) Usando lo anterior haga un latch D sincrónico con reset y preset asincrónico
4. Hacer un registro universal de 4 bits. el mismo debe tener una entrada serial sin, una entrada paralela D de 4 bits, un reset asincrónico Ra, una entrada ck (clock) una entrada Ctr de 2 bits (00 desplaza a izq, 01 desp a derecha, 10 carga la información de la entrada D, 11 mantiene lo que había en el registro) y una salida Q de 4 bits. Hacerlo con FFSR